

## **BL1824X 硬件设计指南**

---

Revision History

Date	Version	comments	Author	Reviewer
2024/6/24	V1.0	初创版		

## 目录

1. 芯片配置 .....	3
2. 复位电路 .....	4
3. 晶振需求 .....	4
3.1. 32M晶体要求 .....	4
3.2. 晶体电容的设置 .....	4
3.3. 晶体有关的概率性死机调试 .....	5
3.4. PCB 注意 .....	5
4. PAD .....	5
5. 电源滤波电路 .....	5
6. 调试下载电路 .....	6
7. GPIO电路 .....	7
8. 天线匹配电路 .....	7
9. 电源电压检测 .....	8
10. 原理图设计 .....	8
10.1. BL1824X原理图 .....	8
11. PCB设计 .....	9
11.1. BL1824X芯片 Layout .....	9
11.2. 电源 Layout .....	9
11.3. 晶体Layout .....	9
11.4. 射频匹配电路Layout .....	9
11.5. 天线 .....	10
12. ESD设计 .....	11
13. 其它 .....	12

## 1. 芯片配置

	BL1824X	
Package	SOP16	
Flash Memory	1Mb	
OTP	16KB	
VBAT range	2.1-3.6V	
IO Number	19	12
DMA	4	
GPADC	4通道单端	
Uart	1	
SPI	1	
PWM	6	
SPI LCD Controller	1(2 wire)	

表1 BL1824X配置表

## 2. 复位电路

RSTB 是 BL1824X 芯片的复位管脚，低电平有效。该管脚为高阻态，芯片内建~100K ohm上拉，建议在外电路管脚添加10K ohm上拉和对地0.1uF电容。

电路请参考原理图。

## 3. 晶振需求

32MHz晶体，BL1824X片内集成了负载电容(可调范围：0~24pF，默认是12pF)，外部的负载电容可不焊接，具体选择与调试要求如下：

### 3.1. 32M晶体要求

	note	min	typ	max	unit
frequency			32		MHz
accuracy			±10	±30	ppm
ESR			30	60	Ω
load cap			8	10	pF
shunt cap			1	3	pF

表2 32M晶体参数表

### 3.2. 晶体电容的设置

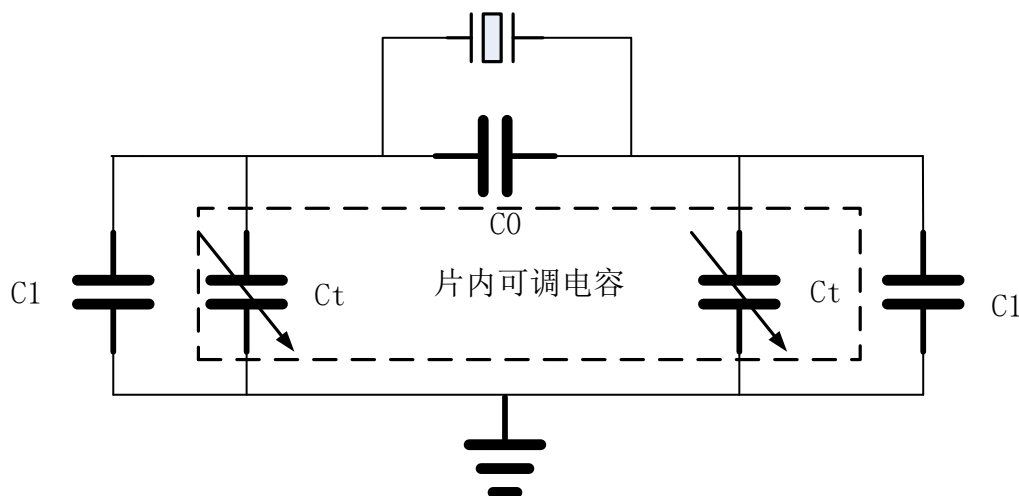


图3.1 晶体电容等效图

Ct是芯片内可调电容；

Ct通过REG\_CTUNE\_XTAL[4:0]设置，一个step = 0.75pF。

C0是晶体管脚之间的寄生电容（晶体静态电容shunt capacitance），手册会标出。

Cp为晶体输入管脚到GND总电容（包括晶振管脚与GND的寄生电容、PCB走线电容、电路外接并联到GND的匹配电容）；

Cn为晶体输出管脚到GND总电容（包括晶振管脚与GND的寄生电容、PCB走线电容、电路外接并联到GND的匹配电容）；

CL为晶体的负载电容，指在电路中跨接晶体两端的总的外界有效电容，是晶振振荡所

需要的电容,从石英晶体管脚两端向振荡电路方向看进去的全部有效电容为该振荡电路加给石英晶体的负载电容。CL在晶体的datasheet中有提供:

$$CL = \frac{Cp * Cn}{Cp + Cn} + C0$$

为了保持晶体的负载平衡,在实际应用中,一般要求 $Cp=Cn$ ,

$$Cp = Cn = 2(CL - C0)$$

例如:晶体手册负载电容 $CL=12.5p$ ,静态电容 $C0=1p$ , $Cn=Cp=2*(12.5-1)=23p$ ,一般PCB走线电容 $0.5p$ ,晶振管脚与GND寄生电容 $4.8p$ 。

所以晶体的PCB匹配电容 $=23p-0.5p-4.8p=17.7p$

晶体可以外接匹配电容 $17.7p$ ,也可以通过芯片内部可调电容 $Ct$ 去匹配。

负载电容CL越大,晶振越不容易起振,建议选用 $CL = 6-9pF$ 的晶体。在设计中为了预防使用的内部负载电容CL值太大,以及寄生电路的不确定性,防止内部软件校准不回来,强烈建议预留晶体两端的匹配电容位置。比如,负载电容 $CL=12pF$ 基本频偏会偏大 $120KHZ$ 以上。软件校准的PARAM值建议尽量控制在20以内,内部调整PARAM值,相当于是开启内部的一个个并联电容小开关(每个 $0.75pF$ 左右),开关开多了会有一定的寄生参数的影响。

### 3.3. 晶体有关的概率性死机调试

保证XTAL P端振幅超过 $400mVpp$ ,如果幅度不满足,首先减小 $Ct$ ,直到振幅达到要求,注意测试时示波器探头要选用 $10M\ ohms < 12pF \times 10$ 的;

当幅度满足要求后,测量射频频偏是否满足要求,若射频频偏不能满足,则需要更换晶体;建议使用晶体:

TKD:  $32M\ 8pF-10pF \pm 10ppm\ ESR < 30\ \Omega$  SX-3225系列

### 3.4. PCB 注意

晶振走线要靠近芯片晶振引脚,不能有过孔,晶振要远离射频天线或电机马达等干扰源

## 4. PAD

BL1824X PAD分为 3 类。Digital IO, Analog/Digital IO, Special/Digital;

Digital IO:只能用于 Digital signal, 可以支持所有 Pin mux 可以切出的 IO 功能。

Analog/Digital IO:支持 ADC 功能,也可以切换成 Digital IO 使用。

Special/Digital: 用于ISP烧录启动(BOOT模式)和SWD调试。BOOT固定分配在GPIO4上,也可以切换成 Digital IO 使用。SWD的CLK 固定分配地GPIO0,DATA固定分配在GPIO1上。在 PCB 设计中,请将这些管脚引出测试点。

所有 IO 都支持 Wakeup 功能,每个IO内部都有上/下拉可配置,上/下拉电阻为 $200K\ ohm$ 。

## 5. 电源滤波电路

BL1824X供电电压为 $2.1V \sim 3.6V$ 电压,需要经过滤波电路,得到干净的电源,VBAT上需要加 $0.1uF$  和 $1uF$  的电容,PCB设计时,这些尽量靠近芯片的VBAT PIN脚放置。

BL1824X内部LDO（DVDD Pin）也需要加上0.1uF和4.7uF滤波电容，PCB设计时，这些尽量靠近芯片的DVDD PIN脚放置。

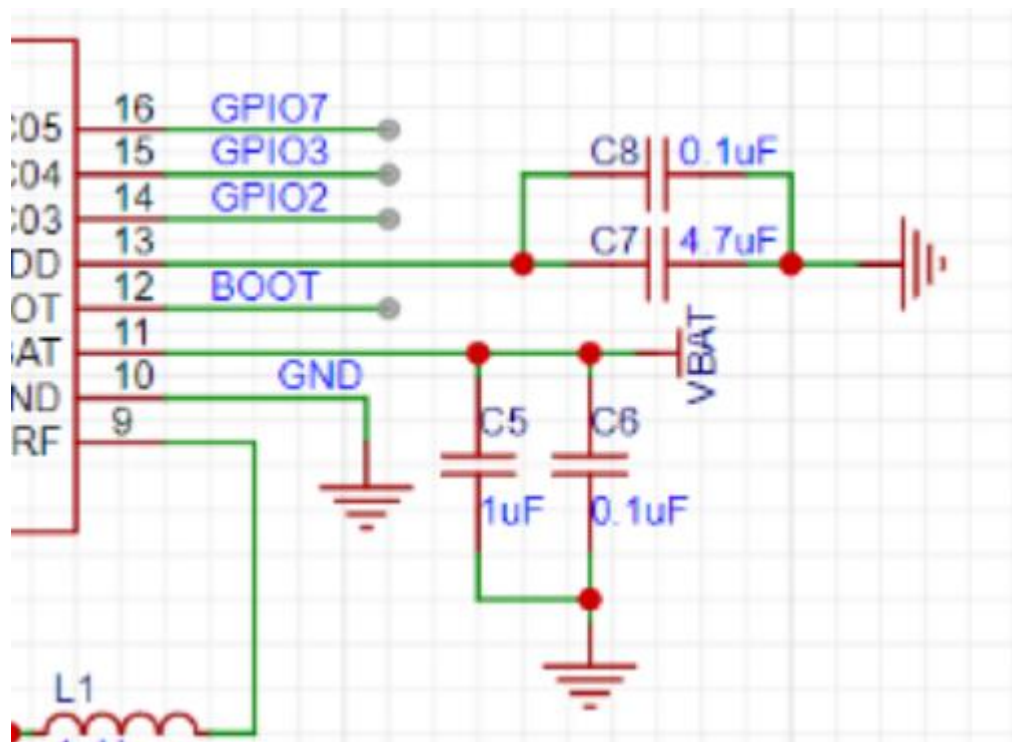


图5.1 电源滤波电路

## 6. 调试下载电路

BL1824X在线调试，可以用Jlink或Stlink的SWD模式，在GPIO资源够用的条件下，此调试口不要共用其他功能，其中SWCLK（GPIO00），SWDIO（GPIO01）。

BL1824X量产烧录是通过串口烧录，需要5根线，VCC、GND、Boot（GPIO4）、Uart\_TX（GPIO5）和Uart\_RX（GPIO6），在GPIO资源够用的条件下，此下载口不要共用其他功能。

GPIO04作为BOOT引脚，默认为上拉，在芯片上电之前将其拉低，上电后可正常烧录代码，因此，在设计外设电路时，此引脚不可做下拉类的设计。

注意，如果产片软件设计没有做低功耗休眠，那么烧录时BOOT引脚不需要下拉。

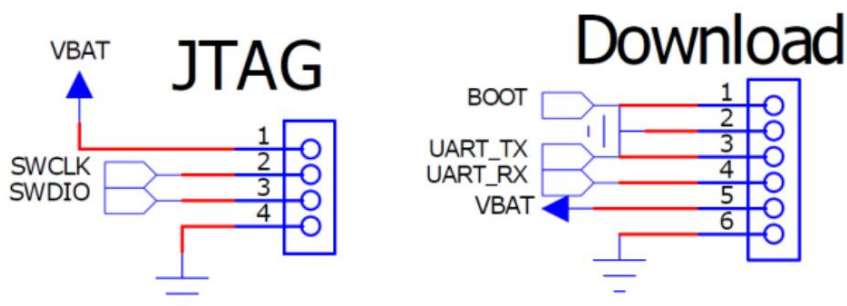


图6.1 调试下载电路

如果产品是带有锂电池的，且更新烧录时电池不方便拆卸，可考虑增加一个类似USB上电复位功能的电路，这样相当于在带电状态下，把BOOT引脚接地，再RESET芯片，同样可以进入烧录状态，如下图所示。

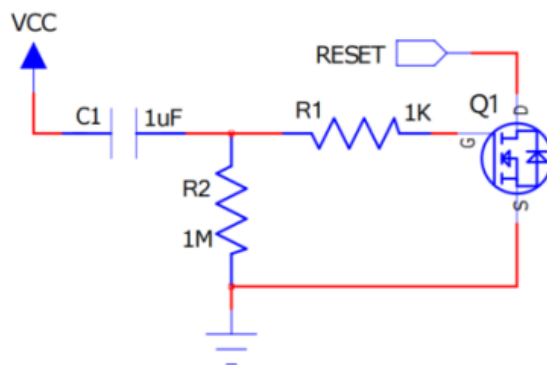


图6.2 上电复位电路

## 7. GPIO电路

BL1824X有1路通用SPI、1路SPI\_Flash、1路串口和19个GPIO，并且支持Pin\_mux功能。

GPIO4默认是上拉，其他GPIO默认悬空。

## 8. 天线匹配电路

RF天线匹配电路设计，针对板载式、贴装式等类型的天线，建议IC按照T型网络进行匹配，天线按照II型网络进行匹配，如图8.1。而针对外接式(如FPC)、外置式(如棒状天线)等类型天线，只需预留T型网络即可，如图8.2。

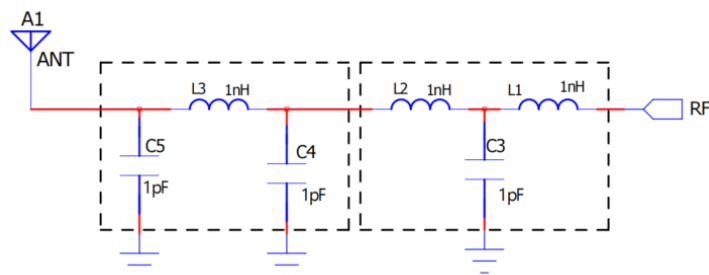


图8.1 T型&amp;II型匹配电路

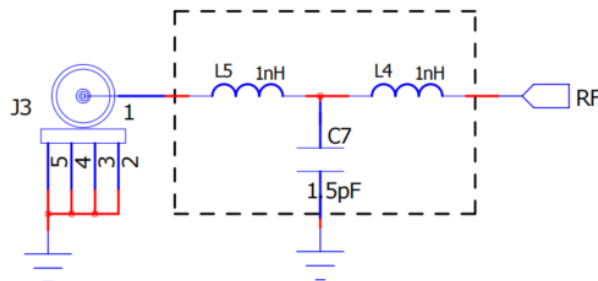


图8.2 T型匹配电路



## 9. 电源电压检测

BL1824X系列芯片自带电压检测功能，如果电池的最大供电电压不超过3.3V，那么芯片自身就可以读取电池的当前的电压，无需外加电压检测电路。

如果供电电池的最大电压超出了3.3V，那么要想通过芯片检测电池的电量，可以设计一外部分压电路，通过具有ADC功能的IO接口实现电池电量的检测。

## 10. 原理图设计

BL1824X原理图由五部分组成，分别是电源滤波电路、时钟电路、调试下载电路、GPIO电路和天线匹配电路组成。下面给出了BL1824X参考原理图。

### 10.1. BL1824X原理图

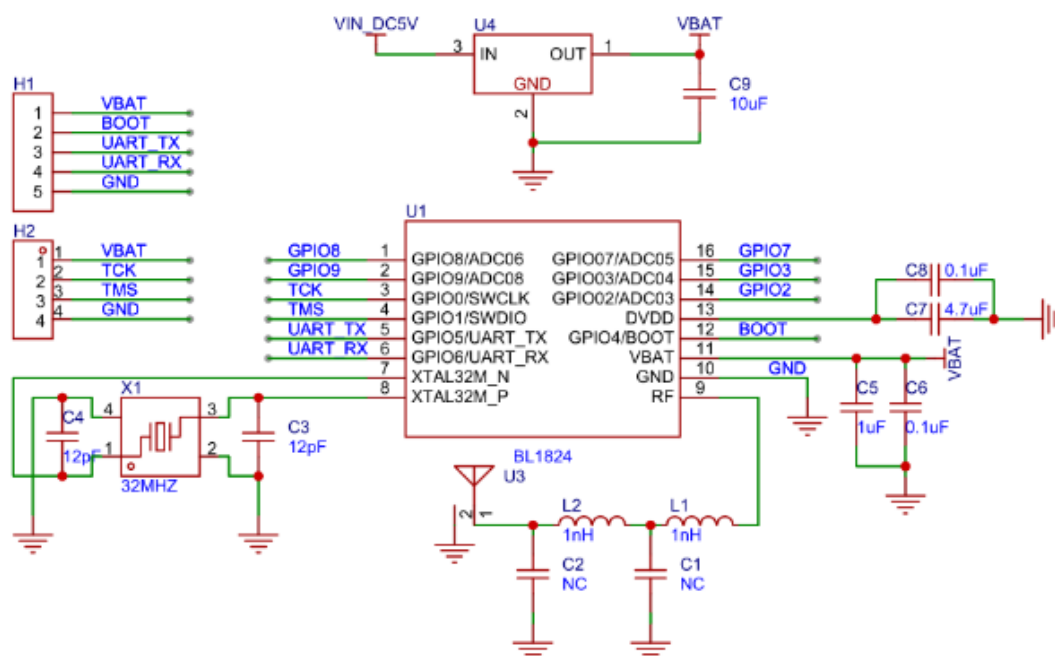


图10.1 BL1824X原理图

## 11. PCB设计

PCB Layout以常用的2层板为例，对各个部分的Layout进行详细阐述，特别是射频和晶体电路的Layout，此电路的设计，直接关系到芯片的通信性能。

PCB材质采用最常用的双面FR4板材结构，元器件尽量放在top层，bottom层尽量有完整的地平面，元器件的接地PIN应就近直接打过孔到bottom层。

### 11.1. BL1824X芯片 Layout

BL1824X芯片下面对应的bottom层尽量不要有走线和元器件，特别是靠近射频匹配电路和晶体电路的部分，完整的地平面能保证良好的芯片性能。

### 11.2. 电源 Layout

BL1824X芯片的电源来自LDO，采用两个并联电容（1uF和0.1uF）对电源低通滤波，两个电容靠近芯片电源VBAT引脚放置，电源输入走线依次经过1uF和0.1uF电容，然后接入芯片电源VBAT引脚。

靠近芯片DVDD引脚放置两个电容（4.7uF和0.1uF），其中4.7uF电容紧邻芯片DVDD引脚。

电容独立过孔接地，且过孔尽量靠近PAD，减小回流路径。

### 11.3. 晶体Layout

晶体对应的平面应尽量为完整地平面，最好不要有任何走线和元器件，并且要远离DC/DC走线和电源走线，建议用GND隔离。

晶振走线要靠近芯片晶振引脚，尽量不要有过孔，32M晶振要尽可能远离射频天线或电机马达等干扰源，32M走线最好要垂直射频走线，走线和射频线之间有铜皮隔离。

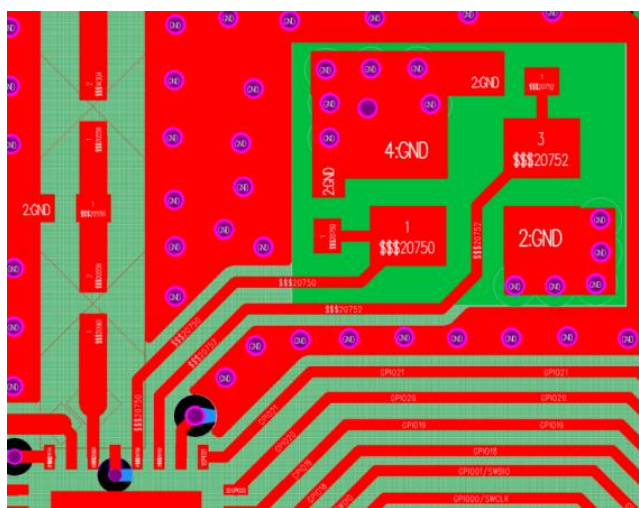


图11.1 晶体Layout参考图

### 11.4. 射频匹配电路Layout

首先要保证从芯片RF射频引脚到天线之间走线的特征阻抗为 $50\Omega$ 。线宽一般保证在20mil左右即可，不可太细；走线的参考层需保证完整的铜皮，走线两侧的铜皮要与走线平

行且两侧距离相等，这样才能保证阻抗可控，至于具体距离需要根据走线与参考平面的距离以及板材的相对介电常数来确定；

从芯片RF射频引脚到天线之间走线尽量保证走直线，或者圆弧线，尽量避免 $45^\circ$  /  $135^\circ$ 走线，更不可走直角线，因为高频信号容易发生反射或者从直角处辐射出去；

芯片RF射频引脚到天线之间走线两侧的铜皮需要尽可能多的打GND过孔；

射频电路匹配器件封装一般选用0402或0201即可；

射频电路及天线背面严禁走线或者放置其它器件，更不能放置金属或其它磁性器件。

天线一般靠近板边放置，这样有利于天线的辐射。

如图11.2为外置天线(棒状天线)的Layout参考图。

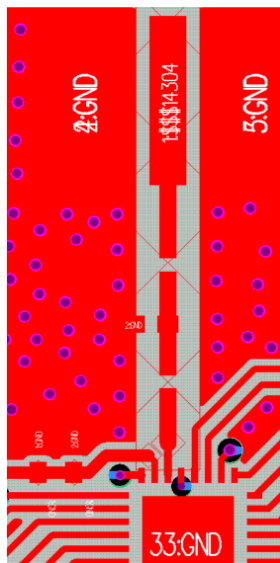


图11.2 外置(棒状天线)射频天线Layout参考图

对于板载式天线，为了保证射频性能，需要将天线的左右两侧进行清空处理。假设天线两侧有铜皮存在，如果铜皮通过过孔进行了接地处理，那么接地铜皮会吸收一部分射频信号影响射频信号的发射，而如果铜皮不接地，那么可能会产生反射信号，同样也会影响射频信号的发射。如下图11.3所示倒F板载天线。

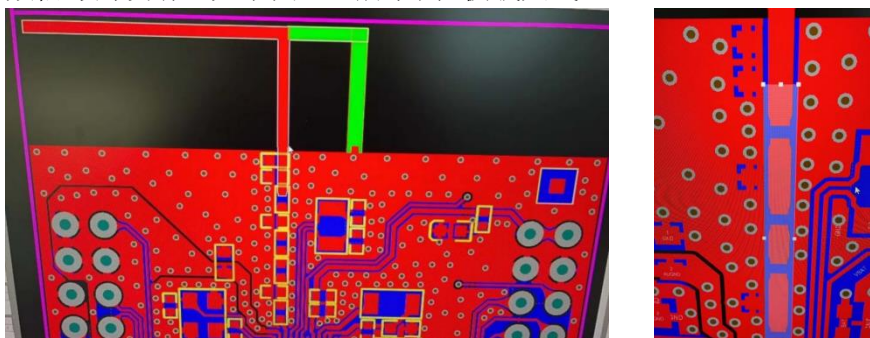


图11.3 倒F射频天线Layout参考图

## 11.5. 天线

天线的设计关系到射频通信的性能，在选择2.4G天线时，需综合考虑PCB尺寸、通信性能、成本等因素。本节给出五种2.4G天线，供客户选择。

(1) 鞭状天线：材质采用铜，尺寸： $\varnothing 0.85 \times 30\text{mm}$ 。需要垂直焊接到PCB板上，对PCB平面尺寸无要求，但高度有要求（大于30mm）。此天线的通信性比其他4种PFIA天线更优，通信距离更远，大约高出20%。此天线适合高度无要求的产品，并应用在室外远距离通信，如无线航模的应用。

(2) F\_PIFA天线：微带线天线，尺寸： $4.9 \times 25\text{mm}$ 。此天线对PCB尺寸有要求，用于产品对PCB尺寸要求不高（一般尺寸 $10 \times 25\text{mm}$ ），通信性能次于鞭状天线，但成本低，便于生产。

(3) Normal\_PIFA天线：微带线天线，尺寸： $8 \times 13\text{mm}$ 。用于PCB无尺寸要求的条件下，所占PCB空间最大，最大增益可以达到1.5dB，如PCB面积足够，建议用此天线。由此天线做成的RF模块板子大小为 $15\text{mm} \times 18\text{mm}$ 左右。

(4) Wiggle\_PIFA天线：微带线天线，尺寸： $7 \times 10\text{mm}$ 。用于PCB尺寸要求不苛刻的条件下，所占PCB空间比第二种稍小，增益也稍差1dB，可以用于对体积稍有要求的无线终端，如对于空间比较紧凑的无线LED等设备。由此天线做成的RF Module板子大小为 $13\text{mm} \times 18\text{mm}$ 左右。

(5) Mini\_PIFA天线：微带线天线，尺寸： $2.6 \times 9.5\text{mm}$ 。此天线用于PCB板尺寸超小（如无线鼠标的Dongle），但通信距离会短一半。此天线做成的Dongle大小为 $11\text{mm} \times 16\text{mm}$ 左右。

## 12. ESD设计

设备和系统可靠性需要从整体考虑，包括原理图、PCB、结构、接地和软件控制等方面，因产品形态各异，主要从静电方面提出建议。

芯片的静电测试标准和产品级的静电测试标准不同，芯片采用HBM、CDM等测试，放电模型中充电电容较小，放电电阻较大，产品级静电测试按照IEC61000-4-2，放电模型中有较大的充电电容和较小的放电电阻，因此产品级的测试电流要比芯片级的测试电流高出好几倍，所以在产品设计时，要通过外部ESD或TVS管、PCB布局布线实现产品级静电的泄放。

原理图建议：

- (1) 经常插拔、键盘接口处，信号线和电源需要加ESD器件做防护，比如电池电源、按键、调试口；
- (2) 天线接口处建议预留ESD器件位置，针对外接天线的应用做可靠性防护；
- (3) MIC的输入脚建议预留ESD器件位置，防止通过声孔空气放电造成器件损坏；
- (4) 外露的LED灯内部的控制信号需要预留ESD器件位置；
- (5) 电源通路建议按输入电源方向，先经过ESD器件，再串联磁珠到系统；
- (6) 信号通路建议按静电产生的方向，先经过ESD器件，再串联小电阻到芯片，一般串 $10\text{R} \sim 100\text{R}$ ，不会影响信号正常通信。

PCB建议：

尽量多层板设计，减少地平面分割；

- (1) 芯片不要太靠近PCB边沿和结构缝隙处，容易受静电干扰；
- (2) 控制PCB走线环路面积；
- (3) 避免边沿布线；
- (4) 防护靠近连接器，减小引线长度。
- (5) ESD器件靠近静电产生的接口放置，ESD器件的地pad就近打地孔，保证接地良好。

### 13. 其它

- (1) 磁性器件要远离天线和晶振，避免造成干扰。
- (2) 为了保证芯片良好的接地，对于芯片中间的EPAD，应保证EPAD下方有完整的地平面，且需要在EPAD上打尽可能多的GND过孔。
- (3) 除EPAD之外的GND PAD，特别是电容，需要保证就近至少有一个GND过孔。